

## LIQUID CRYSTAL DISPLAY DEVICE AND ITS PRODUCTION

**Publication number:** JP8043853

**Publication date:** 1996-02-16

**Inventor:** ONO KIKUO; TSUMURA MAKOTO; OGAWA KAZUHIRO; SAKUTA HIROKI; SUZUKI MASAHIKO; KANEKO TOSHITERU; NAKAYOSHI YOSHIKI

**Applicant:** HITACHI LTD

**Classification:**

**- international:** G02F1/136; G02F1/1368; H01L21/336; H01L29/786; G02F1/13; H01L21/02; H01L29/66; (IPC1-7): G02F1/136; H01L21/336; H01L29/786

**- European:**

**Application number:** JP19940175113 19940727

**Priority number(s):** JP19940175113 19940727

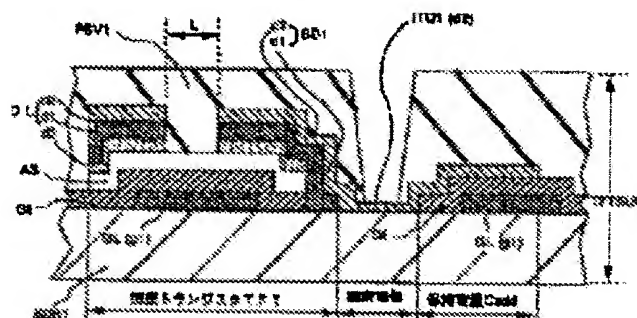
[Report a data error here](#)

### Abstract of JP8043853

**PURPOSE:** To decrease the number of production stages and to provide a device which is high in production yield and with which a bright screen is obtainable by constituting pixel electrodes in such a manner that the central parts thereof come into contact with substrates and the circumferential parts thereof come into contact with insulating films of the same layer as the gate insulating films constituting thin-film transistors.

**CONSTITUTION:** The front surfaces of the TFT substrates are provided with the plural gate lines GL parallel with each other and the plural data lines DL which are formed to intersect with these gate lines and are parallel with each other. The region enclosed by two pieces of the adjacent gate lines GL and two pieces of the adjacent data lines DL is a pixel region.

The pixel electrodes are formed over approximately the entire surface in the region. A source electrode SD1 is so formed as to extend to the inner part of the aperture (pixel electrode) of the gate insulating film G1 formed on the inside of the one pixel region. A first conductive film d1 footing the source electrode SD1 and a transparent conductive film d2 existing in the upper part thereof are formed partly in contact with the glass substrate SUB1 within the pixel region.



Data supplied from the [esp@cenet](#) database - Worldwide

(43)公開日 平成8年(1996)2月16日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0			
H 0 1 L 29/786				
21/336				
		9056-4M	H 0 1 L 29/ 78	6 1 2 Z
			審査請求 未請求 請求項の数15	〇 L (全 17 頁)

(21)出願番号 特願平6-175113

(22)出願日 平成6年(1994)7月27日

(71)出願人 000005108  
株式会社日立製作所  
東京都千代田区神田駿河台四丁目 6 番地

(72)発明者 小野 記久雄  
茨城県日立市大みか町七丁目 1 番 1 号 株  
式会社日立製作所日立研究所内

(72)発明者 津村 誠  
茨城県日立市大みか町七丁目 1 番 1 号 株  
式会社日立製作所日立研究所内

(72)発明者 小川 和宏  
茨城県日立市大みか町七丁目 1 番 1 号 株  
式会社日立製作所日立研究所内

(74)代理人 弁理士 小川 勝男

[最終頁に続く](#)

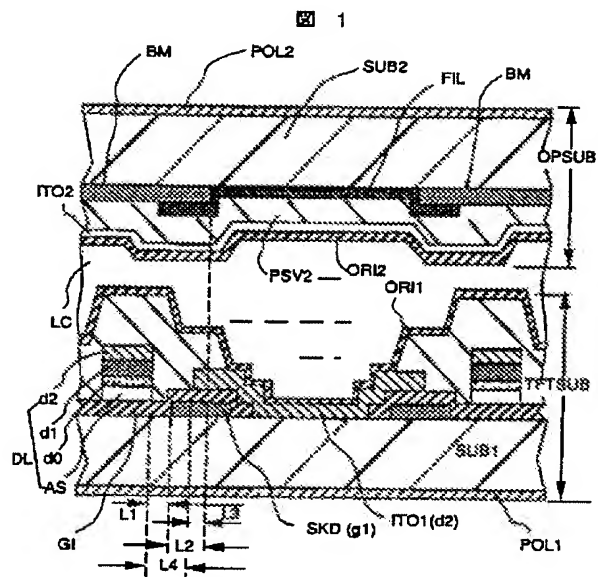
(54) 【発明の名称】 液晶表示装置およびその製造方法

(57) 【要約】

【目的】TFT基板製作時の工程数を削減できると同時に製造歩留まりが高く、さらに明るい画面が得られる液晶表示装置およびその製造方法を提供すること。

【構成】透明ガラス基板上で透明画素電極の下部のゲート絶縁膜は、画素電極の平面面積より小さく開口され、その開口部を画素電極より下部にあるソース電極のパターンが横切る構成とするようにした。

【効果】製造工程数の削減，歩留まりの向上，明るい画面が可能である。



(2)

特開平8-43853

1

## 【特許請求の範囲】

【請求項1】基板あるいは絶縁膜を形成した基板上に形成した複数のゲートラインと、前記複数のゲートラインに交差するように形成された複数のデータラインと、前記複数のゲートラインと前記複数のデータラインの各交差点付近に形成された薄膜トランジスタと、前記薄膜トランジスタに接続された画素電極とからなり、前記画素電極によって液晶を駆動する機能を有する液晶表示装置において、

前記画素電極は、その中央部分が前記基板あるいは絶縁膜を形成した基板に接し、周辺部分が前記薄膜トランジスタを構成するゲート絶縁膜と同層の絶縁膜に接することを特徴とする液晶表示装置。

【請求項2】特許請求の範囲第1項において、前記画素電極を構成する導電膜は、前記薄膜トランジスタのソース電極まで延在され、前記ソース電極を構成する導電膜の平面パターンは輪郭線が、前記画素電極中央部分の基板に接する領域の平面パターンの輪郭線と交差することを特徴とする液晶表示装置。

【請求項3】特許請求の範囲第1項において、前記データラインと前記画素電極中央部分の基板に接する領域との間に、前記データラインとほぼ平行で、前記データラインとは前記薄膜トランジスタを構成するゲート絶縁膜と同層の絶縁膜によって絶縁分離された遮光膜を設けたことを特徴とする液晶表示装置。

【請求項4】特許請求の範囲第1項において、前記複数のゲートラインのそれぞれに対応して、これと平行な導電ラインを設け、前記導電ラインと前記画素電極との間に絶縁膜を挟持して容量素子を形成したことを特徴とする液晶表示装置。

【請求項5】基板上に形成した複数のゲートラインと、前記複数のゲートラインに交差するように形成された複数のデータラインと、前記複数のゲートラインと前記複数のデータラインの各交差点付近に形成された薄膜トランジスタと、前記薄膜トランジスタに接続された画素電極と、前記画素電極に接続された保持容量とからなり、前記画素電極によって液晶を駆動する機能を有する液晶表示装置において、

前記薄膜トランジスタは、前記ゲートラインの一部によって構成されるゲート電極上にゲート絶縁膜、前記ゲート絶縁膜上に半導体層、前記半導体層上にソース電極及びドレイン電極を形成した構造であり、前記画素電極を構成する導電膜は前記ソース電極上に延在され、

前記保持容量は、前記薄膜トランジスタが形成されたゲートラインと隣合ったゲートラインの上に前記ゲート絶縁膜と同層の絶縁膜、前記絶縁膜の上に前記画素電極から延在された導電膜を形成した構造であることを特徴とする液晶表示装置。

【請求項6】特許請求の範囲第5項において、

2

前記薄膜トランジスタを構成するゲート絶縁膜及び半導体層の端部の前記基板とのテーパ角は、前記保持容量を構成する絶縁膜の端部の前記基板とのテーパ角よりも大きいことを特徴とする液晶表示装置。

【請求項7】特許請求の範囲第5項において、前記ソース電極は、前記半導体層、ゲート絶縁及び基板と接触することを特徴とする液晶表示装置。

【請求項8】特許請求の範囲第5項において、前記複数のデータラインは、前記半導体層と、前記ソース電極及びドレイン電極を構成する導電膜からなり、これらが同一平面パターンを有することを特徴とする液晶表示装置。

【請求項9】特許請求の範囲第5項において、前記ゲートラインは、それを構成する導電膜の陽極酸化膜で被覆されることを特徴とする液晶表示装置。

【請求項10】基板上に形成した複数のゲートラインと、前記複数のゲートラインに交差するように形成された複数のデータラインと、前記複数のゲートラインと前記複数のデータラインの各交差点付近に形成された薄膜トランジスタと、前記薄膜トランジスタに接続された画素電極とからなり、前記画素電極によって液晶を駆動する機能を有する液晶表示装置の製造方法において、ゲート絶縁膜及び前記ゲート絶縁膜の上に形成された半導体層をほぼ同一平面パターンで同一工程でエッチングする工程、

その後、前記半導体膜を選択的にエッチングする工程、とを具備したことを特徴とする液晶表示装置の製造方法。

【請求項11】特許請求の範囲第10項において、前記ゲート絶縁膜及び半導体層を同一工程でエッチングした後、前記半導体層の上に所定パターンの金属膜を形成し、前記金属膜をマスクとして前記半導体膜をエッチングすることを特徴とする液晶表示装置の製造方法。

【請求項12】特許請求の範囲第10項において、前記ゲートラインの表面を陽極酸化する工程をさらに具備したことを特徴とする液晶表示装置の製造方法。

【請求項13】特許請求の範囲第10項において、前記ゲート絶縁膜及び半導体層を同一工程でエッチングする工程で、エッチングガスとして6フッ化イオウを用いたことを特徴とする液晶表示装置の製造方法。

【請求項14】特許請求の範囲第10項において、前記金属膜をマスクとして半導体層をエッチング工程で、エッチングガスとして6フッ化イオウと塩素の混合ガスを用いたことを特徴とする液晶表示装置の製造方法。

【請求項15】特許請求の範囲第10項において、前記半導体膜をエッチングした後、前記画素電極を形成することを特徴とする液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

(3)

特開平 8-43853

3

【産業上の利用分野】本発明は薄膜トランジスタ（TFT）を使用したアクティブマトリクス駆動型液晶表示装置およびその製造方法に関する。

【0002】

【従来の技術】アクティブマトリクス方式の液晶表示装置は、マトリクス状に配列された複数の画素電極の各々に対応して、スイッチング素子を設けたものである。アクティブ方式では各画素における液晶は理論的に常時駆動されているので、時分割駆動方式を採用している単純マトリクス方式と比べ、アクティブ方式はコントラスト

が高く特にカラー表示には欠かせない技術になっている。

【0003】従来のアクティブマトリクス方式の液晶表示装置では、絶縁透明基板上にゲート電極（ゲートライン）、その上部にゲート絶縁膜、その上部に半導体層、さらに半導体層上にはドレイン電極（データライン）およびソース電極を設けてTFTが形成され、そのソース電極には透明な画素電極が接続されている。基板上にまずゲート電極が形成されるTFTの構造は一般に逆スタガ構造と呼ばれている。このようなTFTとして、特開昭

【0004】

【発明が解決しようとする課題】TFTを用いた液晶表示装置はアクティブ駆動が可能のためにコントラストが高いという特長を持つ。しかし、基板上にTFTを形成する工程が複雑であり、通常6回以上のホトリソグラフィ工程を必要とする。TFT基板を製造するための工程数が多い場合、TFT基板の製造コストが高くなり、さらに外部から付着したり製造時に発生するゴミ等のために歩留まりが低下するという問題がある。工程を簡略化

する方法として、従来技術では、ゲート絶縁膜と半導体層、ドレイン電極とソース電極となる金属膜を連続成膜し、この金属膜のマスクとして半導体層を加工し、その後、透明電極を形成する方法が提案されている。

【0005】しかし、この従来技術では、半導体層をエッチングする際に、ソース電極を構成する金属膜のエッチング速度が半導体層のエッチング速度より小さい場合、ソース電極の端部がひさし状に残り、透明電極がその段差のために断線しやすいという問題が発生する。すなわち、製造時の歩留まりが十分に考慮されていなかった。

【0006】ところで、明るい画面表示を実現するためには、透明画素電極の光透過部の面積（以下、開口率と呼ぶ）を大きくする必要がある。しかし、上記従来技術では、開口率を向上し、明るい表示画面を得ることについては考慮されていなかった。

【0007】本発明の目的は、製造工程数が少ない上に製造歩留まりが高いアクティブマトリクス方式の液晶表示装置の製造方法を提供することにある。

【0008】また、他の目的は、明るい表示画面が得ら

4

れるアクティブマトリクス方式の液晶表示装置を提供することにある。

【0009】

【課題を解決するための手段】

【手段1】基板上に形成した複数のゲートラインと、複数のゲートラインに交差するように形成された複数のデータラインと、複数のゲートラインと複数のデータラインの各交差点付近に形成された薄膜トランジスタと、薄膜トランジスタに接続された画素電極とからなり、画素電極によって液晶を駆動する機能を有する液晶表示装置において、画素電極は、その中央部分が基板に接し、周辺部分が薄膜トランジスタを構成するゲート絶縁膜と同層の絶縁膜に接するようにした。

【0010】【手段2】手段1において、画素電極を構成する導電膜は、薄膜トランジスタのソース電極まで延在され、ソース電極を構成する導電膜の平面パターンは、画素電極中央部分の基板に接する領域の平面パターンの輪郭線と交差するようにした。

【0011】【手段3】手段1において、データラインと画素電極中央部分の基板に接する領域との間に、データラインとはほぼ平行で、データラインとは薄膜トランジスタを構成するゲート絶縁膜と同層の絶縁膜によって絶縁分離された遮光膜を設けた。

【0012】【手段4】手段1において、複数のゲートラインのそれぞれに対応して、これと平行な導電ラインを設け、導電ラインと画素電極との間に絶縁膜を挟持して容量素子を形成した。

【0013】【手段5】基板上に形成した複数のゲートラインと、複数のゲートラインに交差するように形成された複数のデータラインと、複数のゲートラインと複数のデータラインの各交差点付近に形成された薄膜トランジスタと、薄膜トランジスタに接続された画素電極と、画素電極に接続された保持容量とからなり、画素電極によって液晶を駆動する機能を有する液晶表示装置において、薄膜トランジスタは、ゲートラインの一部によって構成されるゲート電極上にゲート絶縁膜、ゲート絶縁膜上に半導体層、半導体層上にソース電極及びドレイン電極を形成した構造であり、画素電極を構成する導電膜はソース電極上に延在され、保持容量は、薄膜トランジスタが形成されたゲートラインと隣合ったゲートラインの上にゲート絶縁膜と同層の絶縁膜、絶縁膜の上に画素電極から延在された導電膜を形成した構造とした。

【0014】【手段6】手段5において、薄膜トランジスタを構成するゲート絶縁膜及び半導体層の端部の基板とのテーパー角を、保持容量を構成する絶縁膜の端部の基板とのテーパー角よりも大きくした。

【0015】【手段7】手段5において、ソース電極が、半導体層、ゲート絶縁及び基板と接触するようにした。

【0016】【手段8】手段5において、複数のデータ

(4)

特開平8-43853

5

ラインは、半導体層と、ソース電極及びドレイン電極を構成する導電膜からなり、これらを同一平面パターンとした。

【0017】〔手段9〕手段5において、ゲートラインを、それを構成する導電膜の陽極酸化膜で被覆した。

【0018】〔手段10〕基板上に形成した複数のゲートラインと、複数のゲートラインに交差するように形成された複数のデータラインと、複数のゲートラインと複数のデータラインの各交差点付近に形成された薄膜トランジスタと、薄膜トランジスタに接続された画素電極とからなり、画素電極によって液晶を駆動する機能を有する液晶表示装置の製造方法において、ゲート絶縁膜及びゲート絶縁膜の上に形成された半導体層をほぼ同一平面パターンで同一工程でエッチングする工程、その後半導体膜を選択的にエッチングする工程、とを備えた。

【0019】〔手段11〕手段10において、ゲート絶縁膜及び半導体層を同一工程でエッチングした後、半導体層の上に所定パターンの金属膜を形成し、金属膜をマスクとして半導体膜をエッチングした。

【0020】〔手段12〕手段10において、ゲートラ

インの表面を陽極酸化する工程をさらに備えた。  
〔手段13〕手段10において、ゲート絶縁膜及び半導体層を同一工程でエッチングする工程において、エッチングガスとして6フッ化イオウを用いた。

【0021】〔手段14〕手段10において、金属膜をマスクとして半導体層をエッチング工程において、エッチングガスとして6フッ化イオウと塩素の混合ガスを用いた。

【0022】〔手段15〕手段10において、半導体膜をエッチングした後、画素電極を形成した。

【0023】

〔作用〕ソース電極の金属膜を形成する前に、ゲート絶縁膜が開口され、その開口部にソース電極が形成されているので、ソース電極の金属膜をマスクとして半導体膜をエッチングしても、金属膜の端部が半導体層に対してひさし状にならないので、透明電極が断線することはない、製造工程の簡略化は図りながら製造歩留まりを向上できる。

【0024】また、画素電極の下部のゲート絶縁膜が開口されているので、透過率が向上できる。さらに、データライン近傍に遮光電極が形成され、ゲート絶縁膜の開口部が遮光電極上にないため、歩留まりが高く、開口率が大きくなり、画面が明るくなる。

【0025】

〔実施例〕以下、本発明の液晶表示装置及びその製造方法を具体的な実施例を用いて説明する。

【0026】（実施例1）図1に本実施例のアクティブマトリクス液晶表示装置におけるマトリクス部（表示部）の断面構造を示す。表示パネルは、透明ガラス基板SUB1の一方の表面に薄膜トランジスタや画素電極、

6

各種配線などを形成したTFT基板TFTSUBと、これとは別の透明ガラス基板SUB2の一方の表面に共通電極ITO2やカラーフィルタFIL、遮光膜BMなどを形成した対向基板OPSUBと、両基板を対向させてその間隙に充填した液晶層LCとから構成される。

【0027】画素電極と共通電極ITO2との間に画像信号電圧を印加して両電極間の液晶層LCの電気光学的状態を制御し、表示パネルのこの部分の光透過状態を変化させ、所定の画像を表示する。

【0028】液晶パネル外側の対向基板OPSUB側またはTFT基板TFTSUB側にはバックライトが設置され、液晶パネルの画素部を透過する光をそれぞれバックライトと反対側から観察する。

【0029】なお、以下で説明する図面では、同一機能を有する部分に同一符号をつける。

《TFT基板》図2は、TFT基板TFTSUBを構成する各層の平面パターンを示す図であり、1画素とその周辺の領域を示す。図1は図2の1-1線に沿った断面図、図3は図2の3-3線に沿った断面図である。

【0030】次に、図1～図3を用いてTFT基板TFTSUBの構造を詳しく説明する。図2に示すように、TFT基板の表面には互いに平行な複数のゲートライン（走査信号線または水平信号線）GLと、ゲートラインと交差するように形成された互いに平行な複数のデータライン（映像信号線または垂直信号線）DLが設けられている。隣接する2本のゲートラインGLと、隣接する2本のデータラインDLで囲まれた領域が画素領域となり、この領域に略全面に画素電極が形成されている。スイッチング素子としての薄膜トランジスタ（図2の破線で示した領域）は各画素電極に対応してゲートラインの凸型部分（図2では、上方に凸型の部分）に形成され、そのソース電極SD1は画素電極に接続される。ゲートラインGLに与えられた走査電圧はゲートラインの一部で構成されるTFTのゲート電極に印加されてTFTがON状態となり、この時データラインDLに供給された画像信号がソース電極SD1を介して画素電極に書き込まれる。

【0031】《薄膜トランジスタTFT》図3に示すように、透明ガラス基板SUB1上にはゲートラインGLが形成され、その上に後述のように絶縁膜、半導体層などが形成され薄膜トランジスタTFTが構成される。薄膜トランジスタは、ゲートラインGLにバイアス電圧を印加すると、ソースドレイン（データラインDL）間のチャネル抵抗が小さくなり、バイアス電圧をゼロにすると、チャネル抵抗は大きくなるように動作する。

【0032】ゲートラインGLの一部によって構成されるゲート電極上に窒化シリコンからなるゲート絶縁膜GIを設け、その上に意図的に不純物を添加していない非晶質シリコンからなるI型半導体層AS及び不純物を添加した非晶質シリコンからなるN型半導体層d0を形成

7

する。このi型半導体層ASが薄膜トランジスタの能動層を構成する。さらに、その上にソース電極SD1、ドレイン電極（実施例ではデータラインDLの一部がドレイン電極を構成する。以下特に明記しない場合、ドレイン電極をデータラインDLと呼ぶ。）を形成し、薄膜トランジスタとする。

【0033】ゲート絶縁膜GIとしては、例えばプラズマCVDで形成された酸化シリコン膜が選ばれ、2000～5000Åの厚さに（本実施例では、3500Å程度）形成される。

【0034】i型半導体層ASは、500～2500Åの厚さ（本実施例では、2000Å程度）で形成される。N型半導体層d0はi型半導体層ASとソース電極、ドレイン電極とのオーミックコンタクトを形成するために設けられ、リン（P）をドーパした非晶質シリコン半導体で形成される。

【0035】ソース電極、ドレイン電極の呼称は本来その間に印加されるバイアス電圧の極性によって決められる。本発明の液晶表示装置では、動作中にその極性が反転するのでソース電極、ドレイン電極が入れ替わるが、以下の説明では、便宜上一方をソース電極、他方をドレイン電極と固定して呼ぶことにする。

【0036】《ソース電極》図3に示すように、ソース電極SD1は薄膜トランジスタTFTのN型半導体層d0から画素電極付近のガラス基板SUB1上にかけて形成され、第1導電層d1、第2導電層d2の積層膜により構成されている。第1導電層d1は厚さ600～1500Å（本実施例では、1200Å程度）のクロム（Cr）膜、第2導電層d2は酸化インジウム錫（Indium-Tin-Oxide、以下略してITOと呼ぶ）などの透明導電膜ITO1でそれぞれ形成される。第1導電層は、Cr以外の高融点金属（Ti、Ta、W、Mo）で形成されても良いし、これらの金属の合金で形成されても良い。

【0037】前記ソース電極SD1は、図2、図3に示すように、1画素領域の内側に形成されたゲート絶縁膜GIの開口部（図3で画素電極と表示）の内部に伸びるように形成されている。すなわち、図3に示すように、ソース電極SD1を形成する第1導電膜d1及びその上部にある透明導電膜d2は、画素領域内で、少なくともその一部はガラス基板SUB1に接触して形成されている。

【0038】このような構造により、透明導電膜d2は下層の第1導電膜d1の段差のところで断線することなく、その段差を良好に乗り越えることができる。これについては、後の製造方法のところでさらに詳しく述べる。特に、本実施例のように、透明導電膜d2としてITOを用いる場合にこのような効果が顕著になる。ITOは結晶粒径が大きいために、結晶粒界部分と結晶粒のエッチング速度が異なり、粒界の部分の方が速い。従って、透明導電膜d2下部の断差部分が良好なテーパー形状

(5)

特開平8-43853

8

に加工されていなければ、この段差でITOは容易に断線する。

【0039】その点で、特開昭61-161764号公報に記載のように半導体膜上で金属膜をマスクとして半導体をエッチングした場合、金属膜に比べて半導体膜のエッチング速度が大きいので、断面構造において金属膜がひさし状に形成され、この部分で透明導電膜が断線しやすい。これに対し、本実施例では、上述のように段差部でのITOの断線は非常に起こりにくい。

【0040】後の製造方法のところで述べるように、本実施例では、ゲート絶縁膜GIは第1導電膜d1形成以前に開口され、これによって露出したガラス基板SUB1上に第1導電膜d1が形成されている。また、半導体の一般的ドライエッチングガスであるフッ素を含むガスをドライエッチングに用いた場合、半導体シリコンに比べガラスのエッチング速度が小さい。そのため、第1導電膜をマスクとしてi型半導体層ASをゲート絶縁膜GIに対して選択的にエッチングしたとしても、第1導電膜d1端部はひさし状にならず、ソース電極SD1を構成する第2導電膜が断線することなく、良好な歩留まりが得られるという特長がある。

【0041】また、ゲート絶縁膜GIに開口部を形成することにより、開口部を設けない場合よりも画素電極部における光吸収が低減されて透過率が向上し、明るい画面の液晶表示装置が得られる。

【0042】《画素電極》画素電極は透明導電膜ITO1で形成され、薄膜トランジスタのソース電極SD1に接続され、これを構成する透明導電膜d2と一体的に形成される。透明導電膜ITO1はITOのスパッタリング膜によって形成され、その厚さは300～3000Å（本実施例では1400Å程度）である。

【0043】《ゲートラインGL》図1に示すように、ゲートラインGLは、単層の導電膜g1で形成される。導電膜g1としては厚さ600～1500Å（本実施例では、1200Å程度）のスパッタリングで形成されたクロム（Cr）膜が用いられる。導電膜g1も、第1導電膜d1同様、Cr以外の高融点金属あるいは高融点金属の合金でも良い。

《データラインDL》図1に示すように、データラインDLは、透明ガラス基板SUB1上のゲート絶縁膜GIの上に形成される。そして、データラインDLは、ほぼ同一平面パターンを有するi型半導体層AS、N型半導体層d0、第1導電膜d1、及び透明導電膜d2である透明導電膜の積層構造となっている。これら層または膜のうち主として電気伝導に寄与し、信号を伝達する機能を有するのは導電膜d1と導電膜d2である。

【0044】《保持容量Cadd》保持容量Caddは液晶層LCの容量の減衰やTFTのオフ時の電圧低下を防止する働きがあり、各画素に形成される。図3に示すように、各画素における保持容量Caddは、同じ画素



(6)

特開平8-43853

9

内のTFTが形成されたゲートラインGLとは隣合った前段のゲートラインGLと、画素電極との交差領域に、両者の間にゲート絶縁膜GIを挟んで形成される。

【0045】《遮光電極SKD及び角型保持容量TCadd》図1に示すように遮光電極SKDはTFT基板TFTSUBの透明ガラス基板SUB1上にゲートラインGLを構成する導電膜g1と同じ導電膜で形成される。一方、図2に示すように、角型保持容量TCaddはゲートラインGLの凸型部と画素電極との交差領域に、両者の間にゲート絶縁膜GIを挟んで形成される。

【0046】この遮光電極SKD及び角型保持容量TCaddは、平面構造上図2に示すようにドレインラインDLに沿って画素電極とオーバーラップするように形成される。一方、遮光電極SKDは、断面構造的には図1に示すようにデータラインDLとゲート絶縁膜GIによって絶縁分離されている。

【0047】遮光電極SKD及び角型保持容量TCaddは、1画素の面積に対する画素電極の面積の割合、すなわち開口率を向上させ、表示パネルの明るさを向上させる機能を有する。図1に示した表示パネルにおいて、バックライトは対向基板OPSUB側あるいはTFT基板TFTSUB側のいずれかに設置される。以下では、便宜上バックライトは対向基板OPSUB側に設けられ、TFT基板TFTSUB側から観察するとする。照射光はガラス基板SUB2を透過し、ガラス基板SUB2の液晶層LC側の表面にクロム(Cr)膜によって形成された遮光膜BMの間隙を通過して液晶層に入射する。この入射光は対向基板OPSUBに形成された透明共通電極ITO2とTFT基板に形成された画素電極との間に印加される電圧によって制御される。

【0048】表示パネルがノーマリホワイトモードの場合、遮光膜BMがない時には、データラインDLと遮光電極SKDの間隙(図1のL1)を電圧で制御されない漏光(非制御光)が通過し、表示のコントラストが低下する。また、データラインDLと画素電極の周辺部は同じゲート絶縁膜GI上に形成されており、両者のショートによる点欠陥を防止するため、データラインDLと画素電極を所定の距離L4だけ離しておく必要がある。また、TFT基板TFTSUBと対向基板OPSUBの間隔は5 $\mu$ mと大きいので、前記遮光膜BMとデータラインDLの間隙との合わせ距離L2は対向する所定の距離が必要である。一方、遮光電極SKDはデータラインDLとゲート絶縁膜GIにより絶縁分離されているのでショートの可能性が小さく、L4より小さく設定できる。従って、遮光電極SKDがない場合に必要の遮光膜BMと画素電極との合わせマージンL3を遮光電極がデータラインDLに近づいた分だけ開口率が向上する。

【0049】角型保持容量TCaddも、遮光電極SKDと同様の作用により開口率向上に寄与する。そして、さらに次のような効果も有する。すなわち、TCadd

10

はゲートラインGLの凸型部に形成されているので、その凸型部の静電シールド効果により、データラインDLの電圧変化が画素容量(画素電極と対向基板に形成された透明導電膜ITO2、及びその間に挟持された液晶層とで形成される容量)に与える静電的な影響を低減できる働きがある。

【0050】《保護膜》図1、図3に示すように、TFT基板TFTSUBの薄膜トランジスタTFTを形成した側の表面は、画素電極の中央部、及び後述のようにTFT基板の周辺部に設けられたゲート端子部及びドレイン端子部などを除いて保護膜PSV1で覆われる。画素電極上部で保護膜PSV1を開口させることにより、この部分での保護膜による光吸収がなくなり、表示パネルの透過率すなわち明るさを向上させることができる。

【0051】保護膜PSV1は主に薄膜トランジスタTFTを湿気等から保護するために形成される。保護膜PSV1は、例えばプラズマCVDにより、厚さ2000Å~8000Åの酸化シリコン膜や窒化シリコン膜で形成される。

【0052】《ゲート端子部GTM》図4はTFT基板のゲートラインGLの終端部付近から外部の駆動回路との接続部分であるゲート端子GTMまでの部分の平面図、図5は図4の5-5線における断面図である。

【0053】ゲート端子GTMは、ゲートラインGLを構成する導電膜g1とデータラインDLを構成する第1導電膜d1及び透明導電膜d2との積層膜からなっており、透明導電膜d2が外界に露出している。ITOからなる透明導電膜は第1導電膜d1及びその下部の導電膜g1のCrを外界の雰囲気から保護する。ゲート端子GTMの透明導電膜は、画素電極やデータラインを構成する透明導電膜ITO1と同時に形成される。また、導電膜g1よりも第1導電膜d1が、第1導電膜d1より透明導電膜d2の方が大きめのパターンになっている。これは、ゲート絶縁膜GI加工後に、第1導電膜d1と同じCrで構成させた導電膜g1の消失を防止するためと、薬品、水分等が浸入し、Crからなる導電膜g1及び第1導電膜d1が腐食されることを防止するためである。本構造では、保護膜PSV1以外で外界に露出している部分は透明導電膜ITO1(d2)のみである。ITOはその名のように、酸化物であり、腐食の原因となる酸化反応には著しく強い。従って、上述の構造は信頼性が高い。

【0054】このように、TFTを用いた液晶表示装置においては、ゲート端子GTMを構成する金属導電膜をITOで被覆することによって歩留まり、信頼性を向上させることができる。その点から、ITOである透明導電膜d2の下部のゲート絶縁膜GIはd2形成以前に開口されていなければならない。また、前述のように、ITO下部の段差部におけるI型半導体層AS、ゲート絶縁膜GIは、良好なテーパー形状に加工されていなければ

11

ならない。

【0055】《ドレイン端子部GTM》図6はTFT基板上のデータラインDLの終端部付近から外部の駆動回路との接続部分であるドレイン端子DTMまでの部分の平面図であり、図7は図6の7-7線における断面図である。

【0056】ドレイン端子DTMは、上述のゲート端子GTMの場合と同じ理由により、データラインDLを構成するCrからなる第1導電膜d1と透明導電膜からなる透明導電膜d2の2層で形成されている。透明導電膜d2は第1導電膜より広めのパターンで形成されている。また、ドレイン端子部では外部回路との接続を行うために、保護膜PSV1は除去されている。

【0057】図8は表示パネル周辺部の概略的な構造を示す平面図である。TFT基板TFTSUB(SUB1)の周辺部では各ゲートラインに対応して複数のゲート端子GTMが並べて配置され、ゲート端子群Tgを構成する。同様に、各データラインに対応して複数のドレイン端子DTMが並べて配置され、ドレイン端子群Tdを構成する。また、図8のINJはTFT基板TFTSUBと対向基板OPSUBを貼り合わせるためのシールパターンSLが形成されない部分で、両基板の貼り合わせ後、ここより液晶が封入される。

【0058】《対向基板OPSUB》図1に示すように、透明ガラス基板SUB2の一方の面には遮光膜BM、赤、緑、青のカラーフィルタFIL、保護膜PSV2、共通透明画素電極ITO2及び配向膜OPRI2が順次積層して設けられている。また、透明ガラス基板SUB2の他方の面には偏光板POL2が貼り合わされており、この偏光板POL2とTFT基板TFTSUBのTFTが形成されていない面に貼り合わされた偏光板POL1とで透過光を偏光する。

【0059】上記遮光膜BMはCrのスパッタリング膜で形成され、表示パネルの非制御領域を遮光すると同時に、各画素の周囲を額縁状に囲み、コントラストを向上させるブラックマトリクス役も果たす。

【0060】《TFT基板TFTSUBの製造方法》次に、上述した液晶表示装置のTFT基板TFTSUBの製造方法を図9～図16を用いて説明する。図9は製造工程の流れを各工程の名称を用いてフローチャートとしてまとめたものである。関連のある複数のサブ工程をまとめてそれに(A)、(B)、(C)などと記号を付けてある。この(A)から(G)までの各々の工程を構成するサブ工程終了後の最終断面構造が図10～図16に対応する。これらの図は、TFT基板の薄膜トランジスタと画素電極および保持容量の接続部付近(図3の断面図と対応)の断面図である。なお、図9の工程(H)終了後の対応する断面構造は図3である。工程(A)、(C)、(D)、(F)、(H)のサブ工程にはそれぞれ写真(ホト)処理工程が含まれている。ここで、ホト処理工程とは本発明

(7)

特開平8-43853

12

ではホトレジストの塗布からマスクを使用した選択露光を経てそれを現像するまでの一連の作業を示すものとする。図9から明らかなように、本発明におけるTFT基板は5回のホト処理工程を経て製造される。

【0061】また、図17は図9の工程(D)の第3ホトを経てa-Siエッチする直前の各薄膜の断面形状をより実際に近い形で描いた図であり、図18は同様に図9の工程(F)のITOスパッタ後の実際に近い断面形状である。以下、各工程を順を追って説明する。

10 【0062】透明ガラス基板SUB1を準備し、その一方面上全面にCr膜をスパッタリングにより形成する。このCr膜上にホト処理(第1ホト)によって所定パターンのマスクを形成した後、Cr膜を選択的にエッチングし、所定パターンの導電膜g1を形成する(工程(A)、図10)。

【0063】次に、透明ガラス基板SUB1の一方面上に設けた導電膜g1上に、プラズマCVD装置により窒化Si膜GI、i型非晶質Si膜AS、N型の非晶質Si膜d0を順次形成する(工程(B)、図11)。

20 【0064】ホト処理(第2ホト)によってマスクを形成した後、SF6ガスを用い、画素領域となる部分のN型半導体層d0(N型非晶質Si)、i型半導体層AS(i型非晶質Si)、ゲート絶縁膜GI(窒化Si)をエッチング除去する(工程(C)、図12)。

【0065】次に、Cr膜をスパッタリングによりその上部に形成する。その後、このCr膜上にホト処理(第3ホト)によって所定のパターンのマスクを形成した後、Cr膜を選択的にエッチングして、所定のパターンの導電膜d1を形成する。この際に、薄膜トランジスタTFTの部から延びた第1導電膜d1の端部は前記工程で開口された透明ガラス基板SUB1上に形成される(工程(D)、図13)。次に、前記工程で形成された第1導電膜d1のマスクを利用して、N型半導体層d0とi型半導体層ASをSF6とBC13の混合ガスで選択的にドライエッチング除去する(工程(E)、図14)。

【0066】次に、ITO膜からなる透明導電膜d2をスパッタリングにより設ける。ホト処理(第4ホト)によってマスク形成後、透明導電膜d2をHBr溶液により選択的にエッチングし、透明導電膜ITO1などにITOパターンを残す(工程(F)、図15)。

40 【0067】次に、パターンニングされた透明導電膜d2をマスクとして、再度第1導電膜d1を選択的にエッチングし、さらにN型非晶質Siをエッチングすることにより、ソース電極SD1とデータラインDLを分離する(工程(G)、図16)。次に、プラズマCVD装置により窒化Si膜を設ける。ホト処理(第5ホト)によってマスク形成後、窒化Si膜をエッチングし、画素電極の中央部などの領域以外に保護膜PSV1を形成する(工程(H)、図3)。



13

【0068】本発明の製造方法の特徴をさらに詳細に図17、図18を用いて説明する。本実施例の製造方法により、下部に存在する段差によって断線しやすいITOを用いても、断線が生じない段差部分を作り出すことができる。

【0069】図17は図9の第3ホト後のCrエッチを行った直後の断面構造を示す。第1導電膜d1上には、マスクとして用いたホトレジストPRESが残されている。まず、第1導電膜d1の下部の段差であるN型半導体層d0、1型半導体層AS、ゲート絶縁膜GIの端部はそれぞれ良好なテーパ形状となっている。これは、この3層のテーパ形状はフッ素(F)を主成分とするガスSF6で連続的にエッチングすることにより生じる。SF6ガスに対するエッチング速度の比はガラス基板SUB1を1とするとゲート絶縁膜GIが約20、1型半導体層ASが80、N型半導体層d0が約160と、N型非晶質Si>1型非晶質Si>窒化Si膜>ガラス基板の順に大きい。従って、N型非晶質Si膜のエッチングが完了し、1型非晶質Si膜がエッチングされ始めると、上部のN型非晶質Si膜がサイドエッチングされ、結果的に1型非晶質Si膜の端部が約70~75度の角度でテーパ(傾斜)状に加工される。また、1型非晶質Si膜のエッチングが完了し、次に窒化Si膜がエッチングされ始めると、上部のN型非晶質Si膜、1型非晶質Si膜の順にサイドエッチされ、結果的に、1型半導体層ASの端部が50度、ゲート絶縁膜GIの端部が20度の角度でテーパ加工される。これにより、上部に形成される第1導電膜d1は、テーパがなく急峻な段差がある場合に比べて、断線の確率が低減される。また、このテーパ部分をさらに第1導電膜d1で被覆すると、テーパ上に形成された第1導電膜d1上面のテーパ角度は約10度となる。

【0070】一方、ガラス基板SUB1上にある第1導電膜d1自身の端部は、エッチング溶液に硝酸第2セリウムアンモニウムに適量の硝酸を添加することにより、約10度のテーパ角度となる。

【0071】次に、図17に示すように、ホトレジストPRESをマスクとして、保持容量部の導電膜g1上のN型半導体層d0と1型半導体層ASを選択的にエッチング除去する場合を考える。この時のドライエッチングガスは図中の矢印のように流れ、特に、第1導電膜d1の端部では、ホトレジストPRES端部の下にまわり込み、第1導電膜d1端部のテーパに沿ってガラス基板SUB1へ至る。

【0072】最終的にITOからなる透明導電膜d2が被覆された後の断面形状を図18に示す。N型半導体層d0、1型半導体層ASをゲート絶縁膜GIあるいはガラス基板SUB1上で選択エッチングする場合、ドライエッチングガスとしてSF6とBCl3の混合ガスを用いる。BCl3を添加することにより、ガラス基板のエ

(8)

特開平8-43853

14

ッチング速度を1とすると、窒化Si膜が5、1型非晶質Si膜が80、N型非晶質Si膜が160となる。このため、保持容量部の1型半導体層AS、N型非晶質Si膜がエッチングされても窒化Si膜を良好な選択比で残することができる。この際、ゲート絶縁膜GIのエッチング速度は1型半導体層ASのエッチング速度の1/4程度と小さいので、1型非晶質Siがエッチングされる際に、サイドエッチされ、保持容量部の窒化Si膜のテーパ角度TH3は第1導電膜d1下部の窒化Si膜のテーパ角度TH1の20度から15度と低減され、透明導電膜d2を被覆する場合好適となる。また、第1導電膜d1下部のガラス基板SUB1のエッチング速度は上述のように著しく小さく、その角度TH2は3度である。さらに、図中には特に記載しないが、保持容量部の導電膜g1端部上のCVD膜面上テーパ角度は、CVD膜の被覆が良好であるため5度と小さい。上記効果は、透明ガラス基板SUB1上にガラス基板と同等のフッ素系ガスに対するドライエッチング速度を持つ絶縁膜、例えば、酸化タンタル膜を形成してあっても、そこなわれることはない。

【0073】本実施例によれば、高開口率で明るい液晶表示装置を実現できる。

【0074】また、表示パネルを構成するTFT基板を5回のホトレジスト工程を含む簡略な工程で製造できるため、安価な液晶表示装置を提供することができる効果がある。さらに、断線のしやすいITOからなる導電膜下部の段差のテーパ角度をすべて10度以下と小さくすることができるため、ITOの断線を防止でき、製造時の歩留まりを向上できる。

【0075】(実施例2)本発明の第2の実施例を図19、図20で説明する。図19は1画素の平面図であり、図20は図19の20-20線における断面図である。

【0076】本実施例が実施例1と異なる点は、図19に示すように、開口率を向上させる構造としてフローティング電極となる遮光電極SKDを用いず、角型保持容量TCaddを大きくし角型保持容量のみで遮光を行っている点にある。このため、実施例1に比べて、データラインDLの電圧変化をゲートラインGLの一部である角型保持容量TCaddでシールドする効果が大きくなる。そのため、画面の縦方向に画像が尾を引くように発生する。いわゆる、シェーディングの発生を押さえることができる。

【0077】しかし、この場合、ゲートラインGLと画素電極の交差領域で決まる保持容量の値が増加し、ゲートラインGLに印加される走査電圧の遅延時間が大きくなる。そこで、これに対処するため、図20に示すように、ゲートラインGLの導電膜g1を実施例1のCrに変えてAlを主成分とする低抵抗配線材料を使用する。そして、ヒロック等の影響でゲート絶縁膜GIの絶縁耐

(9)

特開平 8-43853

15

圧が低下するのを防止するため、そのA1の主表面を陽極酸化して陽極酸化膜AOを形成する。このように、低抵抗のA1を使用することにより、たとえば保持容量が増加しても、走査電圧の遅延時間を大きくさせることなく、画質の良好な画像を表示できる。

【0078】本実施例によれば、シェーディングのない画質の優れた液晶表示装置を提供することができる。

【0079】また、実施例1同様、透明導電膜ITO1の下部の段差部分で良好なテーパー形状が得られるため、透明導電膜の断線を防止でき、製造時の歩留まりを向上

【0080】（実施例3）本発明の第3の実施例を図21、図22を用いて説明する。図21は1画素の平面図を示し、図22は図21の22-22線における断面図である。なお、図21の3-3線における断面構造は実施例1の図1と同じである。

【0081】本実施例が実施例1及び実施例2と異なる点は、ゲートラインGLと平行に新たに保持容量ラインHLが形成され、この保持容量ラインHLと画素電極の交差領域で保持容量Caddが形成されていることである。このため、実施例1及び実施例2に比べて、ゲートラインGLの負荷である容量を低減できる。従って、ゲートラインGLに印加された走査電圧の遅延時間を低減できるので、実施例1と同様に、ゲートラインGLの導電膜g1としてCr膜を用いても、大画面表示が可能になるという効果を有する。

【0082】図22に示すように、保持容量ラインHLはゲートラインGL同様に導電膜g1で形成される。また、画素電極の下部のゲート絶縁膜GIは保持容量ラインHLを挟んで、2つの開口部をもっている。また、保持容量ラインHL上部のゲート絶縁膜GIの端部は、実施例1同様、良好なテーパー形状となっており、透明電極ITO1が断線することがない。

【0083】

【発明の効果】本発明により、開口率が高く、明るい表示画面が得られる液晶表示装置を提供することができる。

【0084】また、表示パネルを構成するTFT基板を5回のホトレジスト工程を含む簡略な工程で製造できるため、安価な液晶表示装置及びその製造方法を提供することができる。

【0085】さらに、ITOからなる透明導電膜の段差部分での断線がなく、製造時の歩留まりが高い液晶表示装置及びその製造方法を提供することができる。

【図面の簡単な説明】

【図1】本発明の実施例1における液晶表示パネルの断面図である（図2の1-1線における断面図）。

【図2】実施例1におけるTFT基板の1画素とその周辺部の各層の平面パターン図である。

【図3】本発明の実施例1における薄膜トランジスタ基

16

板の薄膜トランジスタ、画素電極、保持容量付近の断面図である（図2の3-3線における断面図）。

【図4】ゲート端子GTMとゲートラインGLの接続部近辺を示す平面図である。

【図5】ゲート端子GTMとゲートラインGLの接続部近辺を示す断面図である。

【図6】ドレイン端子DTMとデータラインDLの接続部近辺を示す平面図である。

【図7】ドレイン端子DTMとデータラインDLの接続部近辺を示す断面図である。

【図8】表示パネルのマトリクス周辺部の構成を説明するための平面図である。

【図9】実施例1における液晶表示装置のTFT基板TFSUBの製造方法を示すフローチャートである。

【図10】図9における工程Aに対応した断面図である。

【図11】図9における工程Bに対応した断面図である。

【図12】図9における工程Cに対応した断面図である。

【図13】図9における工程Dに対応した断面図である。

【図14】図9における工程Eに対応した断面図である。

【図15】図9における工程Fに対応した断面図である。

【図16】図9における工程Gに対応した断面図である。

【図17】データラインのCr電極が本発明における製造方法によって加工された場合の薄膜トランジスタ及び保持容量部の断面図である。

【図18】透明画素電極が本発明における製造方法によって成膜された場合の薄膜トランジスタ及び保持容量部の断面図である。

【図19】実施例2におけるTFT基板の1画素とその周辺部の各層の平面パターン図である。

【図20】図19における20-20線における断面図である。

【図21】実施例3におけるTFT基板の1画素とその周辺部の各層の平面パターン図である。

【図22】図21における22-22線における断面図である。

【符号の説明】

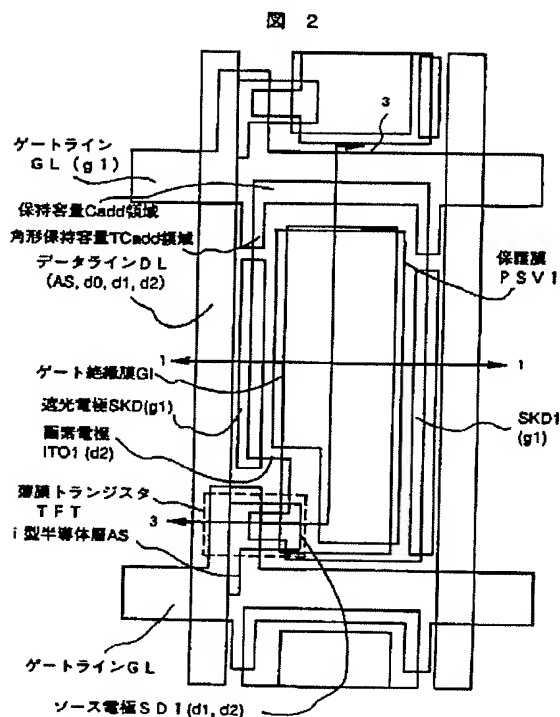
SUB1, SUB2…透明ガラス基板、GL…ゲートライン（走査信号線）、DL…データライン（映像信号線）、GI…ゲート絶縁膜、AS…i型半導体層、d0…N型半導体層、SD1…ソース電極、ITO1…透明導電膜、g…導電膜、d1…第1導電膜、d2…透明導電膜、TFT…薄膜トランジスタ、TFTSUB…TFT基板、OPSUB…対向基板、PSV…保護膜、GTM…

特開平8-43853

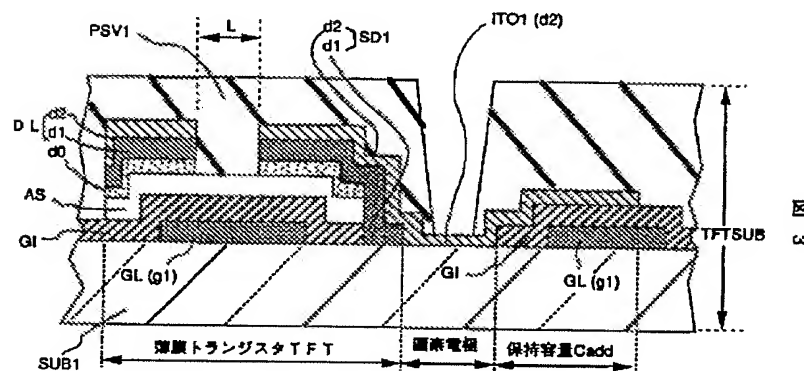
18

膜。

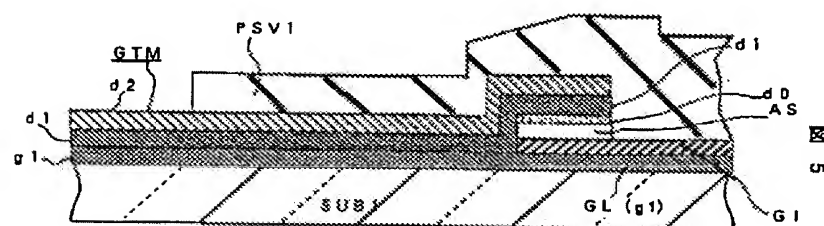
【図 2】



【图 3】



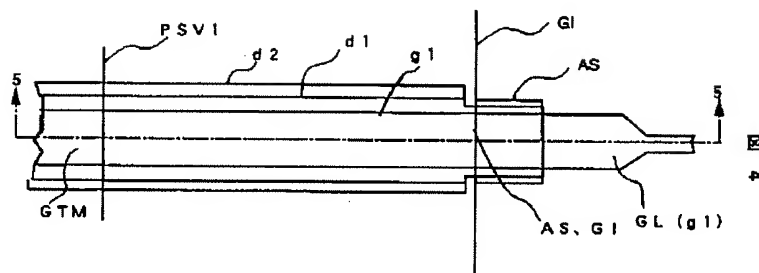
【图 5】



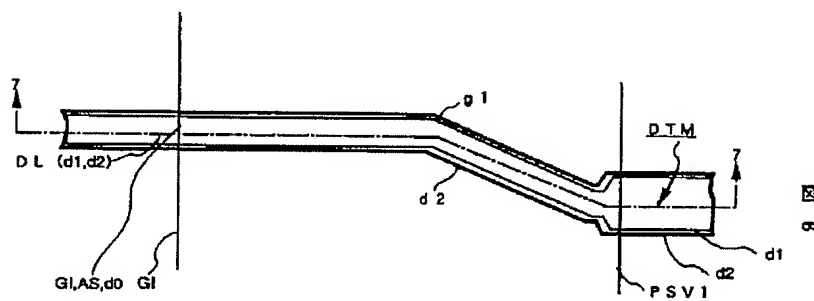
(11)

特開平 8 - 4 3 8 5 3

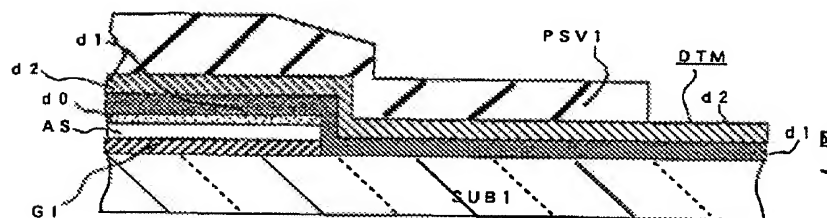
【図 4】



【図 6】



【図 7】



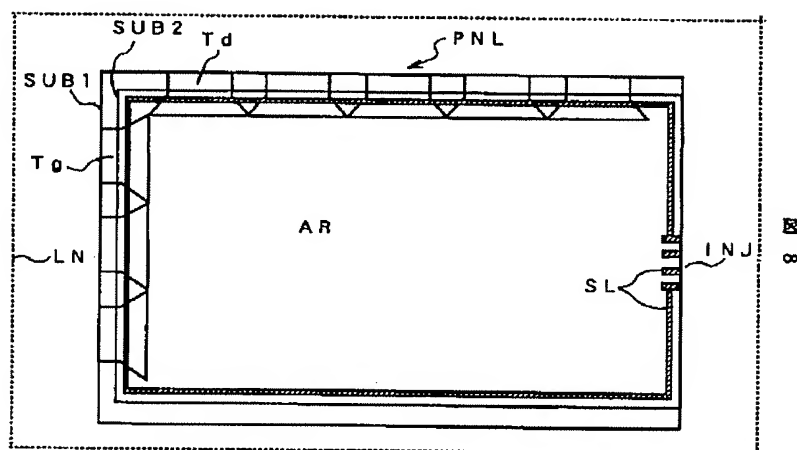
【図 10】



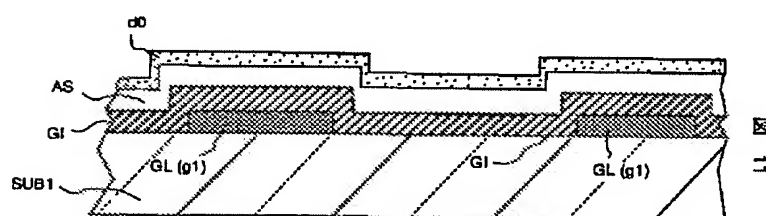
(12)

特開平 8 - 4 3 8 5 3

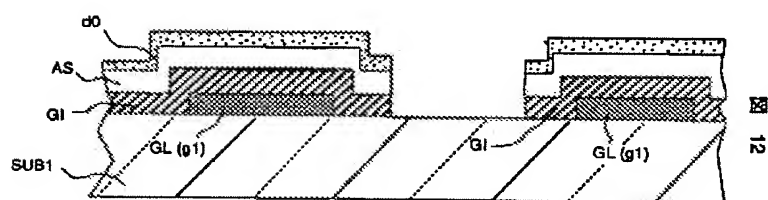
【図 8】



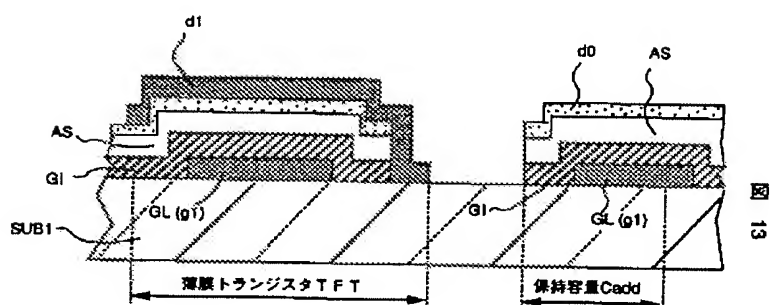
【図 11】



【図 12】



【図 13】

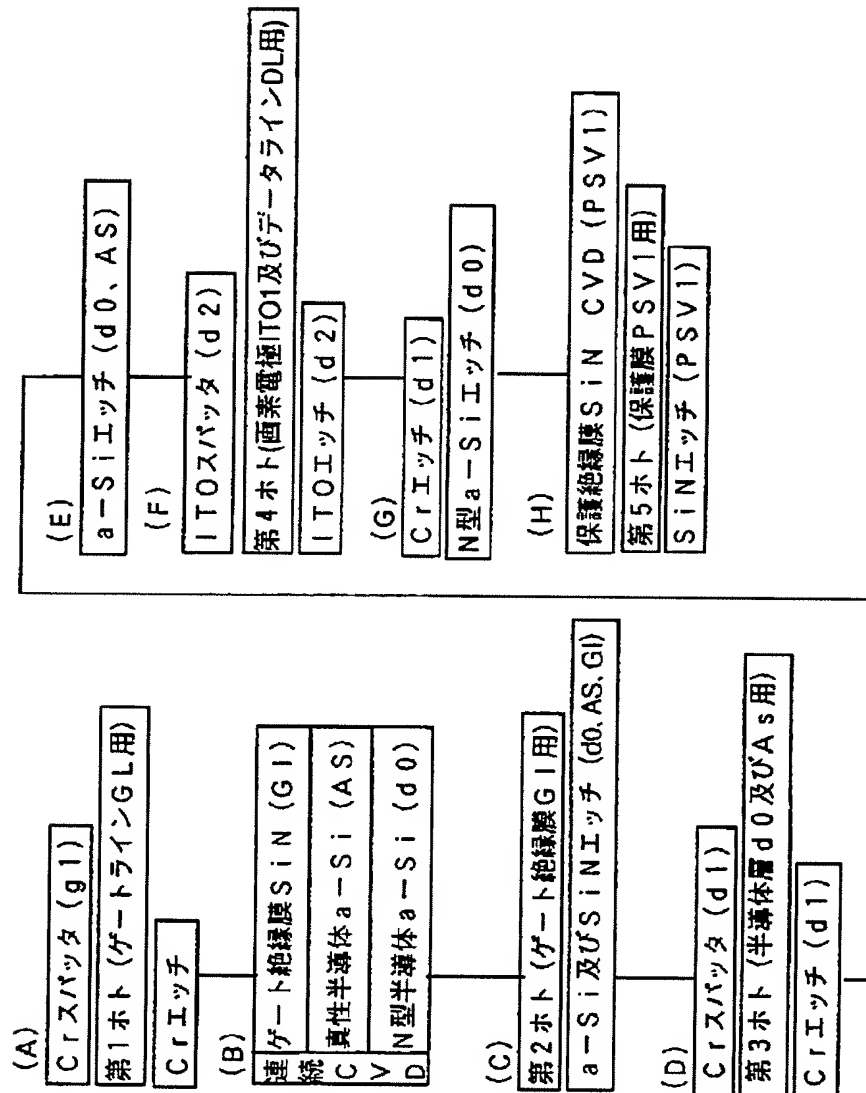


(13)

特開平 8 - 4 3 8 5 3

【図 9】

図 9

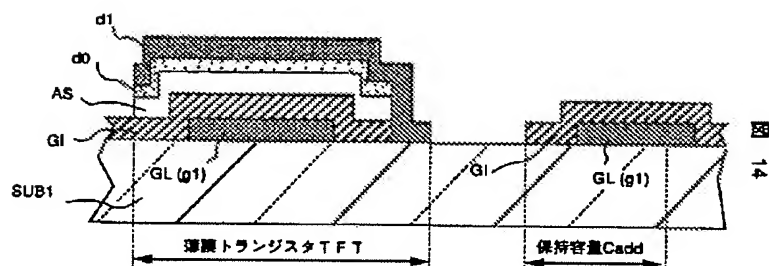




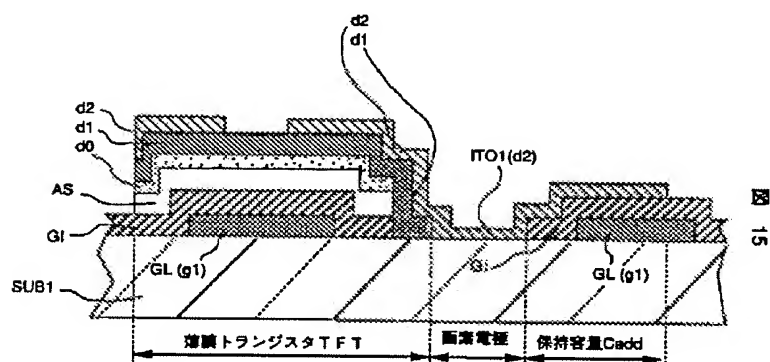
(14)

特開平 8-43853

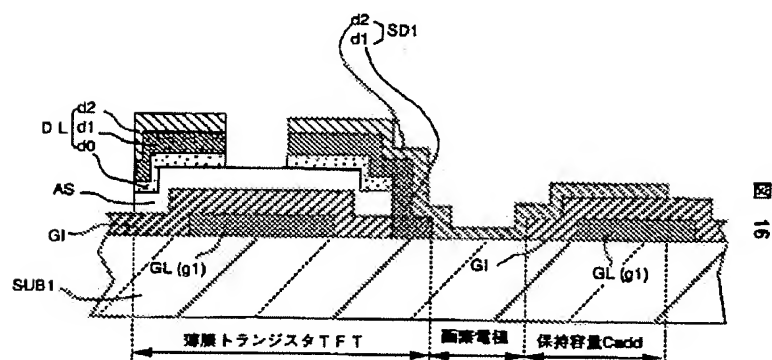
【図 14】



【図 15】



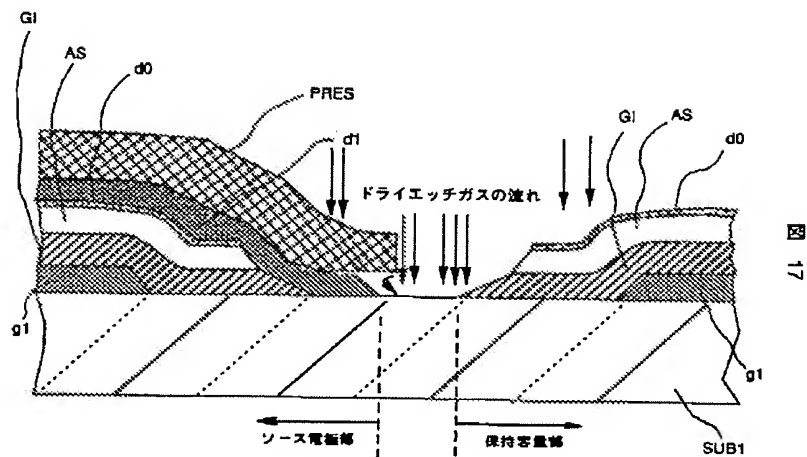
【図 16】



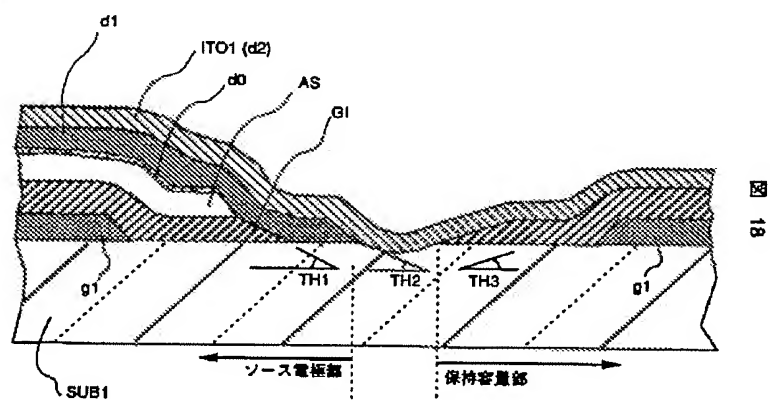
(15)

特開平 8-43853

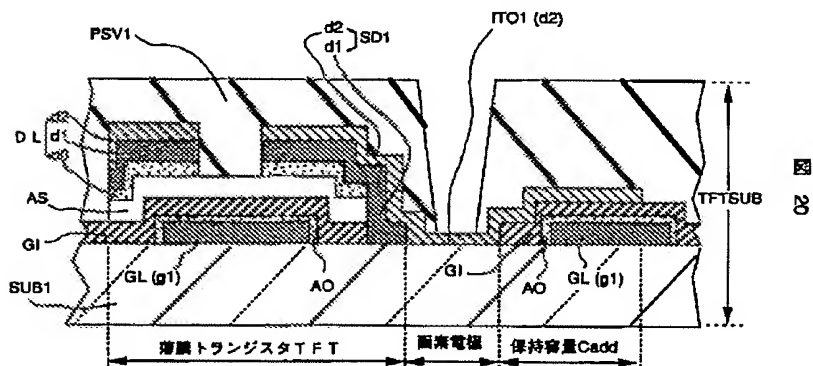
【図 17】



【図 18】



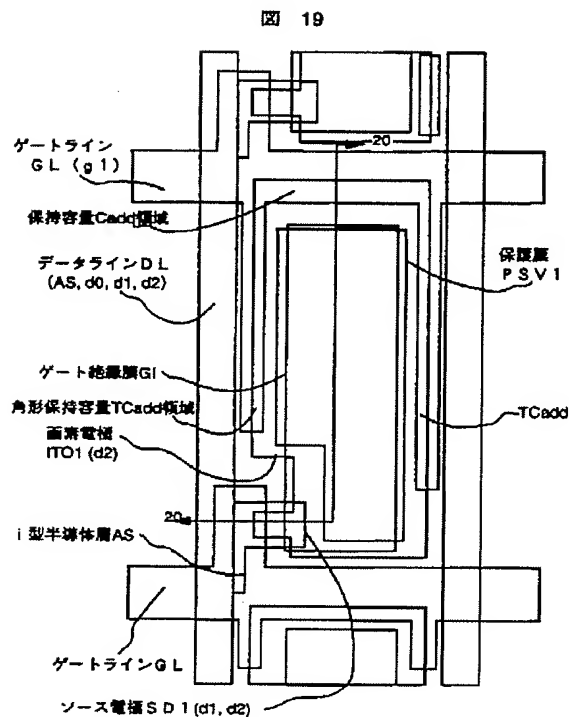
【図 20】



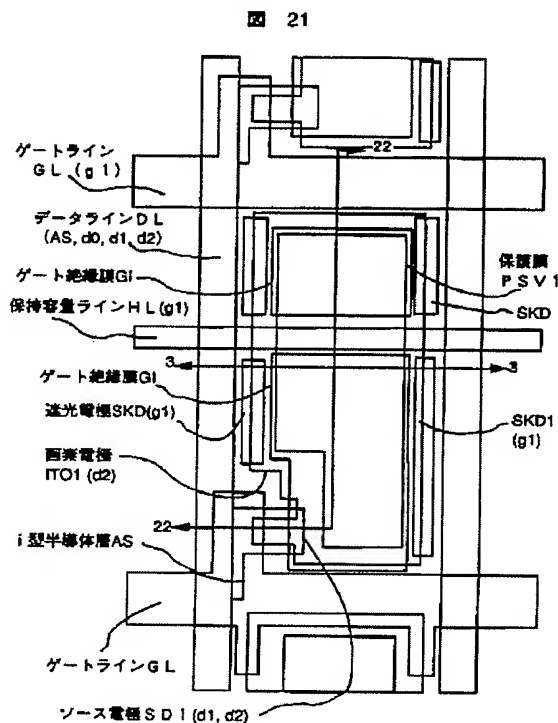
(16)

特開平 8-43853

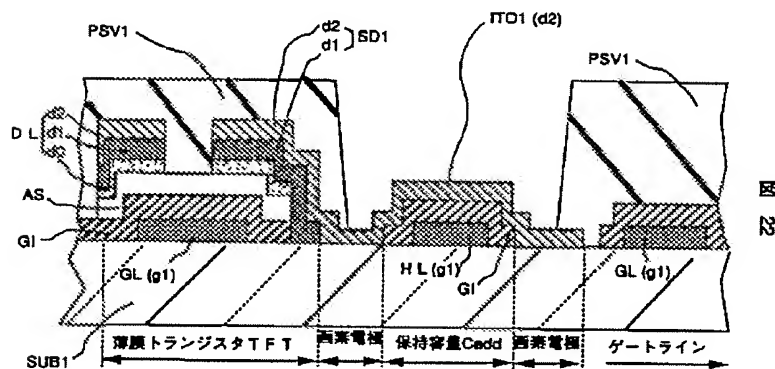
【図 19】



【図 21】



【図 22】



フロントページの続き

(72)発明者 作田 弘樹  
茨城県日立市大みか町七丁目1番1号 株  
式会社日立製作所日立研究所内

(72)発明者 鈴木 雅彦  
千葉県茂原市早野3300番地 株式会社日立  
製作所電子デバイス事業部内

(17)

特開平 8 - 4 3 8 5 3

(72)発明者 金子 寿輝  
茨城県日立市大みか町七丁目 1 番 1 号 株  
式会社日立製作所日立研究所内

(72)発明者 仲吉 良彰  
茨城県日立市大みか町七丁目 1 番 1 号 株  
式会社日立製作所日立研究所内